

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-246373

(43)Date of publication of application : 02.10.1990

(51)Int.Cl.

H01L 29/784

H01L 27/088

(21)Application number : 01-068336

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.03.1989

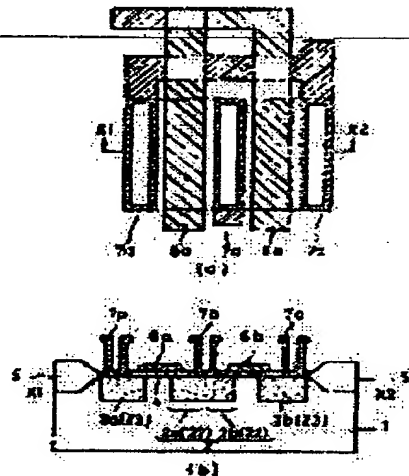
(72)Inventor : HIGUCHI MITSUO  
YOSHIDA MASANOBU  
TAKEGUCHI TETSUJI  
YAMAZAKI HIROKAZU

### (54) SEMICONDUCTOR DEVICE

#### (57)Abstract:

**PURPOSE:** To make electrical characteristics of a transistor uniform, by connecting the drain of one transistor to the source of the other transistor and the source of the one to the drain of the other respectively, and operating the whole as one MIS transistor in a circuit.

**CONSTITUTION:** A second substrate diffusion layer 3a as a drain diffusion layer (a source diffusion layer may be used) and a third substrate diffusion layer 3b as the source diffusion layer (the drain diffusion layer may be employed) are formed so as to hold a first substrate diffusion layer 2 through two wiring layers 6a, 6b as gate electrodes. Wirings are conducted so that the second substrate diffusion layer 3a and the third substrate diffusion layer 3b are connected. Consequently, parasitic capacitance among the wiring layers 6a, 6b as the gate electrodes and a metallic wiring layer 7b as a source electrode and parasitic capacity among the wiring layers 6a, 6b as the gate electrodes and metallic wiring layers 7a, 7b as drain electrodes can be equalized. Accordingly, the electrical characteristics of a transistor can be made uniform.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-246373

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月2日

H 01 L 29/784  
27/0888422-5F H 01 L 29/78 3 0 1 X  
7735-5F 27/08 1 0 2 A

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-68336

⑰ 出 願 平1(1989)3月20日

⑱ 発 明 者	樋 口	光 雄	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑱ 発 明 者	吉 田	正 信	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑱ 発 明 者	竹 口	哲 治	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑱ 発 明 者	山 崎	浩 和	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲ 出 願 人	富士通株式会社 神奈川県川崎市中原区上小田中1015番地		
⑳ 代 理 人	弁理士 井桁 貞一 外2名		

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 半導体基板と逆の導電型の不純物をゲート電極をマスクにして注入して形成されたドレインとソースを有するMIS トランジスタを具備し、該MIS トランジスタは2分割されて2つのゲート電極が並行になるように配され、

2分割された該MIS トランジスタのゲート電極を共通に接続し、

一方のドレインと他方のソース、一方のソースと他方のドレインとを接続し、

回路的には1つのMIS トランジスタとして動作するように構成したことを特徴とする半導体装置。

(2) 2分割されたゲート電極がソースまたはドレインを取り囲むように共通に接続され、ゲート電

極を取り囲むようにソースまたはドレインが形成されていることを特徴とする請求項1記載の半導体装置。

## 3. 発明の詳細な説明

## 〔概要〕

半導体装置に関し、

ゲート電極とソース電極間の寄生容量とゲート電極とドレイン電極間の寄生容量とを等しくすることができ、ソース拡散層とドレイン拡散層の抵抗成分を等しくすることができ、トランジスタの電気的特性を均一にすることができる半導体装置を提供することを目的とし、

半導体基板と逆の導電型の不純物をゲート電極をマスクにして注入して形成されたドレインとソースを有するMIS トランジスタを具備し、該MIS トランジスタは2分割されて2つのゲート電極が並行になるように配され、2分割された該MIS トランジスタのゲート電極を共通に接

## 特開平2-246373(2)

続し、一方のドレインと他方のソース、一方のソースと他方のドレインとを接続し、回路的には1つのMISトランジスタとして動作するように構成する。

## 〔産業上の利用分野〕

本発明は、半導体装置に係り、差動増幅器等に使用するMISトランジスタに適用することができ、詳しくは特に、均一なトランジスタ特性を得ることができる半導体装置に関する。

MISトランジスタ等で構成される差動増幅器は半導体装置における基本的な回路の一つであり、通常二つのMISトランジスタを対称形に接続し、それらのゲートに二つの入力信号を入れ、その差に比例した出力信号をソース・ドレイン間から取り出すものである。いま、差動増幅器を構成するMISトランジスタ $T_1$ 、 $T_2$ の各入力信号を $V_1$ 、 $V_2$ とし、各ドレインに出る出力信号を $V_3$ 、 $V_4$ とすると差動利得 $G_{cm}$ は $(V_3 - V_4) / (V_1 - V_2)$ となる。この差動増幅器

は、入力信号 $(V_1 - V_2)$ がゼロのとき、出力信号 $(V_3 - V_4)$ がゼロであるのが望ましい。この条件を満たすものが、平衡度の良い差動増幅器であり、この平衡の良し悪しが差動増幅器の良し悪しにつながる。このためには差動増幅器を構成する各トランジスタ $T_1$ 、 $T_2$ はトランジスタ特性の全く等しいものを使用することが望まれる。

## 〔従来の技術〕

第5図(a)、(b)は従来の半導体装置の構造の詳細を示す図であり、第5図(a)は素子平面図、第5図(b)は第5図(a)に示すA1-A2方向の断面図である。図示例の半導体装置はMOSトランジスタ(MISトランジスタであればよい)に適用する場合である。

この図において、21は例えばS1からなり例えばp型の基板、22は例えばn<sup>+</sup>型のソース拡散層、23は例えばn<sup>+</sup>型のドレイン拡散層、24は例えばS1O<sub>2</sub>からなるゲート絶縁膜、25は例えばS1O<sub>2</sub>からなるフィールド酸化膜、26は例えばポリ

シリコンからなるゲート電極、27aは例えばA2からなるソース電極で、ソース拡散層22とコンタクトされている。27bは例えばA2からなるドレイン電極で、ドレイン拡散層23とコンタクトされている。28a、28bはコンタクト領域で、コンタクト領域28aはソース拡散層22とソース電極27aがコンタクトされている領域であり、コンタクト領域28bはドレイン拡散層23とドレイン電極27bがコンタクトされている領域である。

第5図(a)、(b)に示す半導体装置は、ソース拡散層22とドレイン拡散層23の間(チャネルと称する)の上にゲート絶縁膜24を介してゲート電極26を設け、ゲート電極26に印加する電圧を適宜調整することでチャネル電流を制御するものである。

そして、このような半導体装置は差動増幅器によく用いられる。ここで、差動増幅器について図面を用いて具体的に説明する。

第6図及び第7図は差動増幅器を説明する図であり、第6図は差動増幅器の回路図、第7図は差

動増幅器の動作図である。

これらの図において、T1a、T1b、T3はNチャネルMOSデプリーション型トランジスタ、T2a、T2bはNチャネルMOSエンハンスメント型トランジスタである。

なお、ここではトランジスタT1aとトランジスタT1b、及びトランジスタT2aとトランジスタT2bとは全く同じ電氣的(電流・電圧)特性を示すトランジスタであるとする。また、トランジスタT2aのゲートが入力に接続されており、トランジスタT2bのゲートが基準電圧となる $V_{ref}$ に接続されている。

その動作としては、入力電圧と基準電圧が等しい場合、節点N1aの電圧と節点N1bの電圧が全く等しい電圧となる。これはトランジスタT1aとトランジスタT1b、及びトランジスタT2aとトランジスタT2bとが全く同じ電氣的特性を有するためである。入力電圧と基準電圧に少しでも電圧差があると節点N1aと節点N1bの電圧差は大きくなる。特に差動増幅器では最初に入

特開平2-246373(3)

力電圧と基準電圧を等しくしておき、入力電圧の微細な変化を検出することが多い。そのためには各トランジスタの特性は完璧に等しくしなければならない。これはDC的な特性の場合であるが、AC的な特性も考えると、節点N1aの寄生容量と節点N1bの寄生容量を等しくしなければならない。

〔発明が解決しようとする課題〕

しかしながら、第5図(a)、(b)に示すような従来の半導体装置にあっては、第8図に示すように、ソース拡散層22及びドレイン拡散層23の形成を、イオン注入法によりゲート電極26をマスクとして不純物イオンのビーム29を基板21垂直方向に対して数度(M部、例えば7度)傾けて照射し、不純物を基板21に導入して不純物領域30a、30bを形成した後、熱拡散することによって行っていた。ここで、ビーム29を基板21垂直方向に対して数度傾けて照射し不純物を基板21に導入するのは、通常シリコン基板21は(100)面で面方位が

揃っているため、シリコン基板21に深く不純物が入り過ぎてしまうのを防止するために行っているのである。なお、真上からビーム29を照射して不純物をシリコン基板21に導入すると不純物が基板21に深く入り過ぎてしまうのである。

したがって、ソース側とドレイン側とではゲート電極26に対して影となる部分が異なり(ここでは、ソース側の方が大きい)、ソース拡散層22とドレイン拡散層23がゲート電極26に対して非対称に形成されてしまうため(ここではドレイン拡散層23の方が大きくなる)、第5図(a)、(b)に示すゲート電極26とソース電極27a間の寄生容量とゲート電極26とドレイン電極27b間の寄生容量とが異なり(ここではゲート電極26とドレイン電極27b間の方が大きい)、ソース拡散層22とドレイン拡散層23の抵抗成分とが異なり(ここではドレイン拡散層23の方が大きい)、トランジスタの電気的特性が均一でなくなってしまうという問題があった。

このような非対称に形成されたソース拡散層22

とドレイン拡散層23とを有する構造の半導体装置で第9図(a)に示すような差動増幅器を構成した場合を考える。T2aはゲート電極26、ドレイン拡散層23及びソース拡散層22よりなるトランジスタである。T2bはゲート電極26、ドレイン拡散層23及びソース拡散層22よりなるトランジスタである。すると、T2aとT2bのソース拡散層抵抗、あるいはドレイン拡散層抵抗が異なるため(ここではソース拡散層抵抗はT2aの方がT2bより大きく、ドレイン拡散層抵抗はT2bの方がT2aより大きい)、T2aとT2bの電気的特性が不揃いになる。更に、第9図(b)に示すように、入力と節点N1aの寄生容量C(小)とVrefと節点N1bの寄生容量C(大)及び入力と節点N2とVrefと節点N2の寄生容量C(小)とが等しくならず所定の特性を得ることができなくなってしまうのである。なお、第9図(a)、(b)において、第5図(a)、(b)及び第6図と同一符号及び同一記号は同一または相当部分を示す。

そこで本発明は、ゲート電極とソース電極間の寄生容量とゲート電極とドレイン電極間の寄生容量とを等しくすることができ、ソース拡散層とドレイン拡散層の抵抗成分とを等しくすることができ、トランジスタの電気的特性を均一にすることができる半導体装置を提供することを目的としている。

〔課題を解決するための手段〕

本発明による半導体装置は上記目的達成のため、半導体基板と逆の導電型の不純物をゲート電極をマスクにして注入して形成されたドレインとソースを有するMISトランジスタを具備し、該MISトランジスタは2分割されて2つのゲート電極が平行になるように配され、2分割された該MISトランジスタのゲート電極を共通に接続し、一方のドレインと他方のソース、一方のソースと他方のドレインとを接続し、回路的には1つのMISトランジスタとして動作するようにしたものである。

特開2004-246373 (4)

## 〔作用〕

本発明は、第1図(a)、(b)に示すように、基板1上にゲート絶縁膜4を介して2つの配線層6a、6bが並行になるように配置され、2つの配線層6a、6bが接続されるように配線されてゲート電極が形成され、ゲート電極となる2つの配線層6a、6b間の基板1に配線層6aをゲート電極とするトランジスタのソース拡散層（ドレイン拡散層にしてもよい）と配線層6bをゲート電極とするトランジスタのドレイン拡散層（ソース拡散層にしてもよい）となる第1の基板拡散層2が形成され、ゲート電極となる2つの配線層6a、6bを介して第1の基板拡散層2を挟むように基板1にドレイン拡散層（ソース拡散層にしてもよい）となる第2の基板拡散層3aとソース拡散層（ドレイン拡散層にしてもよい）となる第3の基板拡散層3bが形成され、第2の基板拡散層3aと第3の基板拡散層3bとが接続されるように配線されてなるように構成される。

したがって、ゲート電極となる配線層6a、6

は同一または相当部分を示し、1は例えばSiからなり例えばp型の基板、2はドレイン拡散層として機能する例えばn<sup>+</sup>型の第1の基板拡散層、3aは例えばn<sup>+</sup>型の第2の基板拡散層、3bは例えばn<sup>+</sup>型の第3の基板拡散層で、第2の基板拡散層3a及び第3の基板拡散層3bがソース拡散層として機能する。4は例えばSiO<sub>2</sub>からなるゲート絶縁膜、5は例えばSiO<sub>2</sub>からなるフィールド酸化膜、6a、6bは例えばポリシリコンからなる配線層で、配線層6a、6bがゲート電極として機能する。7a、7b、7cは例えばAlからなる金属配線層で、金属配線層7a、7cがドレイン電極として機能し、金属配線層7bがソース電極として機能する。

なお、ここでの第1の基板拡散層2、第2の基板拡散層3a及び第3の基板拡散層3bの形成は、従来の注入法と同様イオン法によりゲート電極となる配線層6a、6bをマスクとしてビームを基板1垂直方向に対して数度（例えば7度）傾けて照射し不純物を基板1に導入した後、熱拡散するこ

とソース電極となる金属配線層7b間の寄生容量とゲート電極となる配線層6a、6bとドレイン電極となる金属配線層7a、7b間の寄生容量とを等しくすることができるようになり、ソース拡散層となる第1、第2の基板拡散層のソース抵抗成分とドレイン拡散層となる第1、第3の基板拡散層のドレイン抵抗成分とを等しくすることができるようになり、トランジスタの電気的特性を均一にすることができるようになる。

## 〔実施例〕

第1図～第3図は本発明に係る半導体装置の一実施例を説明する図であり、第1図(a)、(b)は一実施例の構造の詳細を示す図、第2図は一実施例の半導体装置で構成した差動増幅器の構造を示す断面図、第3図は一実施例の効果を説明する図である。なお、ここで第1図(a)は素子平面図、第1図(b)は第1図(a)に示すX1-X2方向の断面図である。

これらの図において、第6図(a)と同一記号

とによって行っている。このため、ゲート電極となる配線層6aとドレイン電極となる金属配線層7a間の寄生容量とゲート電極となる配線層6aとソース電極となる金属配線層7b間の寄生容量とは異なりゲート電極となる配線層6aとソース電極となる金属配線層7b間の寄生容量の方が大きくなっており、第2の基板拡散層3aと第1の基板拡散層2を構成する拡散層2aの抵抗成分とが異なりソース拡散層2aの抵抗成分の方が大きくなっている。一方、ゲート電極となる配線層6bとソース電極となる金属配線層7b間の寄生容量とゲート電極となる配線層6bと金属配線層7c間の寄生容量とは異なりゲート電極となる配線層6bとドレイン電極となる金属配線層7c間の寄生容量の方が大きくなっており、第1の基板拡散層2を構成する拡散層2b（ソース拡散層22に該当する）と第3の基板拡散層3b（ドレイン拡散層23に該当する）の抵抗成分とが異なり第3の基板拡散層3bの抵抗成分の方が大きくなっている。

特開平2-246373(5)

すなわち、上記実施例では、第1図(a)、(b)に示すように、トランジスタをいわゆる2分割して構成しており、具体的には、基板1上にゲート絶縁膜4を介して2つの配線層6a、6bが並行となるように配置し、2つの配線層6a、6bを接続するように配線してゲート電極を形成し、ゲート電極となる2つの配線層6a、6b間の基板1に配線層6aをゲート電極とするトランジスタのソース拡散層(ドレイン拡散層にしてもよい)と配線層6bをゲート電極とするトランジスタのドレイン拡散層(ソース拡散層にしてもよい)となる第1の基板拡散層2を形成し、ゲート電極となる2つの配線層6a、6bを介して第1の基板拡散層2を挟むように基板1にドレイン拡散層(ソース拡散層にしてもよい)となる第2の基板拡散層3aとソース拡散層(ドレイン拡散層にしてもよい)となる第3の基板拡散層3bを形成し、第2の基板拡散層3aと第3の基板拡散層3bとを接続するように配線して構成したので、ゲート電極となる配線層6a、6bとソース電極

となる金属配線層7b間の寄生容量とゲート電極となる配線層6a、6bとドレイン電極となる金属配線層7a、7b間の寄生容量とを等しくすることができ、ソース拡散層となる第1、第2の基板拡散層のソース抵抗成分とドレイン拡散層となる第1、第3の基板拡散層の抵抗成分とを等しくすることができ、トランジスタの電気的特性を均一にすることができる。このように2分割されたトランジスタはあたかもソースとドレインが非対称でない1個のトランジスタとみなすことができ、実質的に1個のドレインとソースが対称なトランジスタと同じトランジスタ特性を得ることができる。

そして、このような実質的に均一なトランジスタ特性を得ることができる半導体装置で第2図に示すように差動増幅器を構成した場合、第3図に示すように入力と節点N1a間の寄生容量( $C_{小} + C_{大}$ )と $V_{ref}$ と節点N1b間の寄生容量( $C_{小} + C_{大}$ )、及び入力と節点N2間の寄生容量( $C_{小} + C_{大}$ )と $V_{ref}$ と節点N2間の寄生容量

( $C_{小} + C_{大}$ )というように等しくすることができ、理想的な所定の特性を得ることができる。

なお、本発明においては、第4図(a)、(b)に示すように、2分割されたゲート電極11をソース12(ドレインでもよい)を取り囲むように共通に接続し、ゲート電極11を取り囲むようにドレイン13(ソースでもよい)を形成するように構成する場合であってもよい。

#### 〔発明の効果〕

本発明によれば、ゲート電極とソース電極間の寄生容量とゲート電極とドレイン電極間の寄生容量とを等しくすることができ、ソース拡散層とドレイン拡散層の抵抗成分を等しくすることができ、トランジスタ特性を均一にすることができるという効果がある。

#### 4. 図面の簡単な説明

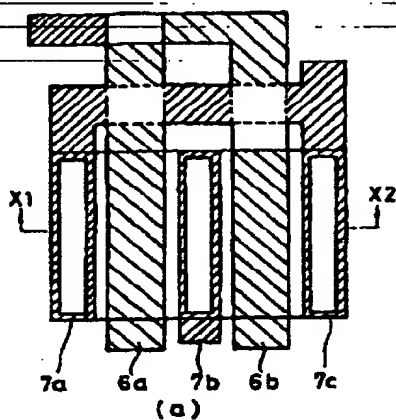
第1図～第3図は本発明に係る半導体装置の一実施例を説明する図であり、

第1図は一実施例の構造の詳細を示す図、  
第2図は一実施例の半導体装置で構成した差動増幅器の構成を示す断面図、  
第3図は一実施例の効果の説明する図、  
第4図は他の実施例を説明する図、  
第5図は従来例の構造の詳細を示す図、  
第6図は差動増幅器の回路図、  
第7図は差動増幅器の動作図、  
第8図及び第9図は従来例の課題を説明する図である。

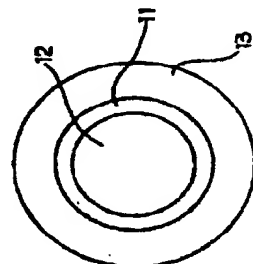
- 1 …… 基板、
- 2 …… 第1の基板拡散層、
- 3a …… 第2の基板拡散層、
- 3b …… 第3の基板拡散層、
- 4 …… ゲート絶縁膜、
- 5 …… フィールド酸化膜、
- 6a、6b …… 配線層、
- 7a、7b、7c …… 金属配線層、

特開平2-246373(6)

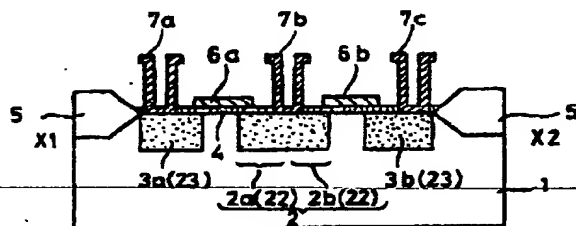
- 1:基板  
2:第1の基板拡散層  
3a:第2の基板拡散層  
3b:第3の基板拡散層  
4:ゲート絶縁膜  
5:フィールド酸化膜  
6a、6b:配線層  
7a、7b、7c:金属配線層



(a)



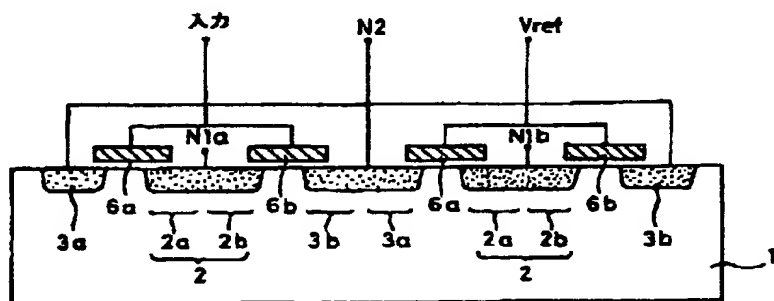
(b)



(b)

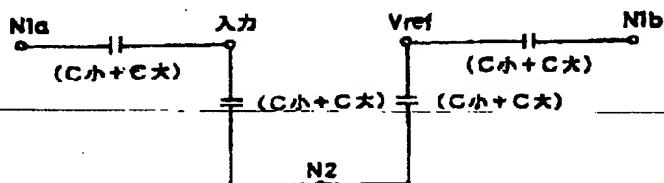
一実施例の構造の詳細を示す図

第 1 図



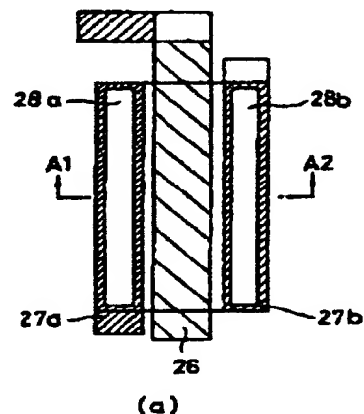
一実施例の半導体装置で構成した差動増幅器の構造を示す断面図

第 2 図

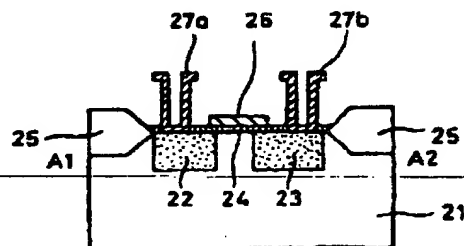


一実施例の効果を示す図

第 3 図



(a)



(b)

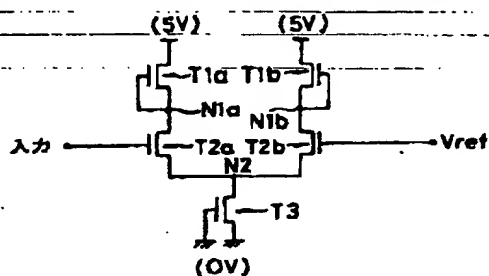
従来例の構造の詳細を示す図

第 5 図

他の実施例を説明する図  
第 4 図

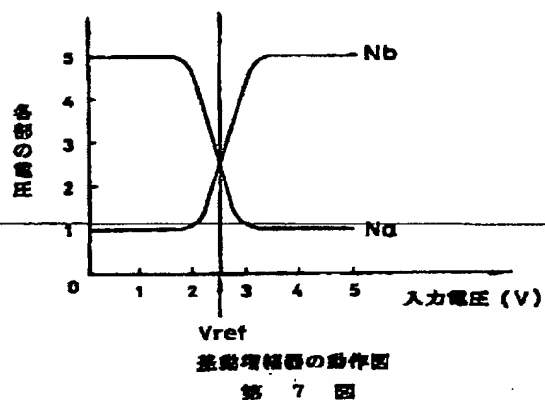


特開平2-246373(7)



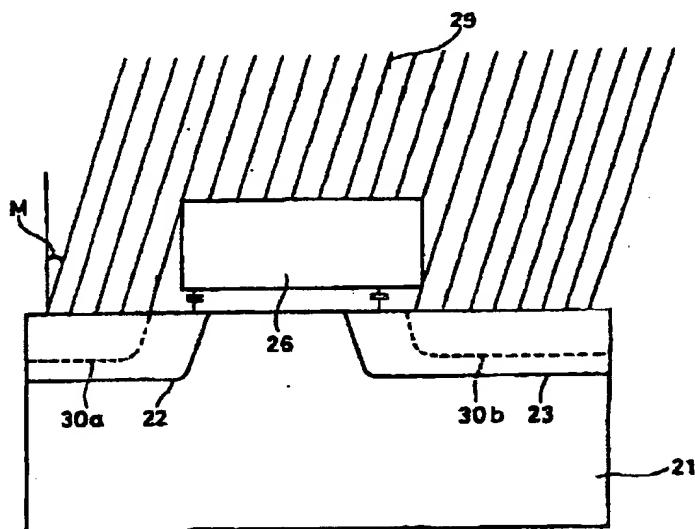
差動増幅器の回路図

第 6 図



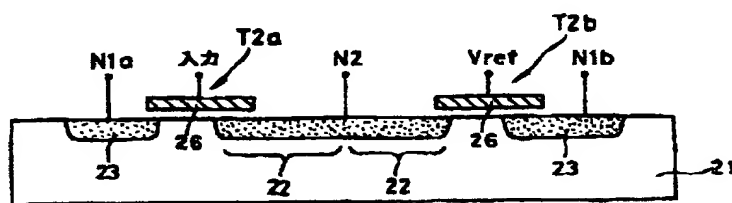
差動増幅器の動作図

第 7 図

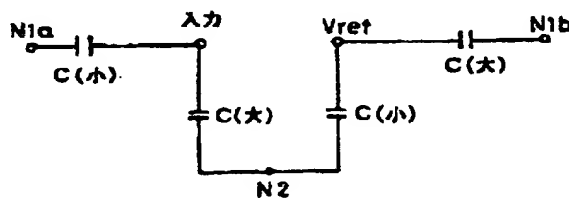


従来例の断面を説明する図

第 8 図



(a)



(b)

従来例の断面を説明する図

第 9 図